

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10210501 A**(43) Date of publication of application: **07.08.98**

(51) Int. Cl. **H04N 9/79**
H04N 5/765
H04N 5/781
H04N 5/907

(21) Application number: **09011413**(22) Date of filing: **24.01.97**(71) Applicant: **TOSHIBA CORP TOSHIBA AVE
CORP**(72) Inventor: **MICHIMI SHIGERU**

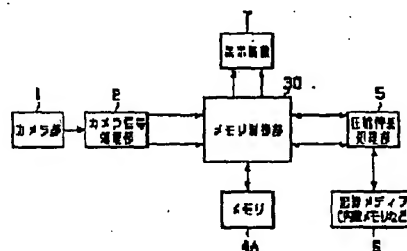
(54) MEMORY CONTROL CIRCUIT FOR DIGITAL
STILL CAMERA

COPYRIGHT: (C)1998,JPO

(57) Abstract

PROBLEM TO BE SOLVED: To provide the memory control circuit for a digital still camera costwise advantageous in which a capacity of a frame memory is reduced.

SOLUTION: In Y, U, V data of 4:2:2 sampling outputted from a camera signal processing section 2 or a companding processing section 5 in the case of compression or expansion, the luminance data Y are written as they are and only the color difference data U, V are written in a frame memory 4A while being down-sampled (data thinning) in a form of 4:1:1. In the case of read from the frame memory 4A, only the color difference data U, V are up-sampled (interpolation) so as to give data equivalent to 4:2:2 sampling apparently to the companding processing section 5 or a display device 7 adopting the JPEG or the like. Since a memory control section 30 conducting processing as above is provided, the capacity of the memory 4A is reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-210501

(43) 公開日 平成10年(1998) 8月7日

(51) Int. Cl.⁴H04N 9/79
5/765
5/781
5/907

識別記号

F I

H04N 9/79 G
5/907 B
5/781 510E

審査請求 未請求 請求項の数5 OL (全9頁)

(21) 出願番号 特願平9-11413

(22) 出願日 平成9年(1997) 1月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221029

東芝エー・ピー・イー株式会社

東京都港区新橋3丁目3番9号

(72) 発明者 道見 茂

東京都港区新橋3丁目3番9号 東芝エー・ピー・イー株式会社内

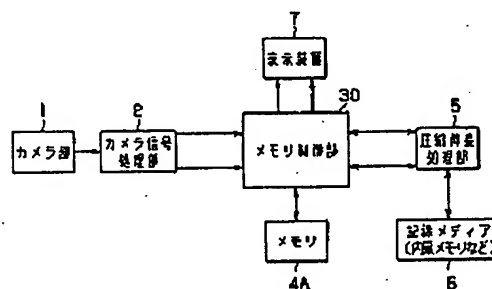
(74) 代理人 弁理士 伊藤 進

(54) 【発明の名称】 デジタルステルカメラのメモリ制御回路

(57) 【要約】

【課題】 フレームメモリの容量を削減でき、コスト的にも有利なデジタルステルカメラのメモリ制御回路を提供すること。

【解決手段】 圧縮時又は伸長時に、カメラ信号処理部2又は圧縮伸長処理部5から出力された4:2:2サンプリングのY、U、Vデータにおいて、輝度データ(Y)はそのまま色差データ(U、V)のみをダウンサンプリング(データ間引き)しながらDRAM等のフレームメモリ4Aに4:1:1形式で書込み、フレームメモリ4Aの読出し時には、色差信号(U、V)のみをアップサンプリング(補間)することで、見掛け上、JPEG等の圧縮伸長処理部5又は表示装置7へ4:2:2サンプリング同等データを送る。このようなメモリ制御部30を設けることで、メモリ4Aの容量を削減できる。



(2)

特開平10-210501

1

2

【特許請求の範囲】

【請求項1】画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、

メモリと、

圧縮前又は伸長後のデジタル画像データを間引きしながら前記メモリに記憶するメモリライト手段と、

前記メモリに記憶したデジタル画像データを、前記間引き量を補間しながら前記メモリから読み出し、圧縮伸長処理部又は表示装置に送出するメモリリード手段とを具備したことを特徴とするデジタルスチルカメラのメモリ制御回路。

【請求項2】画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、

メモリと、

圧縮前又は伸長後の輝度信号及び色差信号からなるデジタル画像データのうち、輝度信号はそのままで色差信号のみを間引きしながら前記メモリに記憶するメモリライト手段と、

前記メモリに記憶したデジタル画像データのうち、前記色差信号のみを前記間引き量を補間しながら前記メモリから読み出し、圧縮伸長処理部又は表示装置に送出するメモリリード手段とを具備したことを特徴とするデジタルスチルカメラのメモリ制御回路。

【請求項3】画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、

フレームメモリと、

圧縮時において、カメラ信号処理部から出力された4:2:2サンプリングのY、U、Vデータのうち、Yデータはそのままで色差信号(U、V)のみを1/2ダウンサンプリングしながら、前記フレームメモリに4:1:1形式で書き込むメモリライト手段と、

ラスター/ブロック変換を行う際に、色差信号(U、V)のみをアップサンプリングしながら前記フレームメモリからデータを読出し、圧縮伸長処理部に対し、見掛け上、4:2:2形式のデータ数に合致したサンプリングデータを送るメモリリード手段とを具備したことを特徴とするデジタルスチルカメラのメモリ制御回路。

【請求項4】画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、

フレームメモリと、

伸長時には、圧縮伸長処理部でデコンプレッションされた、4:2:2サンプリング形式のY、U、Vデータからなる圧縮画像データを、ブロック/ラスター変換と同時に、Yデータはそのままで色差信号(U、V)のみを1/2ダウンサンプリングしながら、前記フレームメモリに4:1:1形式で書き込むメモリライト手段と、

前記フレームメモリの読出し時に、色差信号(U、V)のみをアップサンプリングしながら前記フレームメモリからデータを読出し、表示装置に対し、見掛け上、4:2:2形式のデータ数に合致したサンプリングデータを

送るメモリリード手段とを具備したことを特徴とするデジタルスチルカメラのメモリ制御回路。

【請求項5】画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、

請求項3記載のメモリライト手段及びメモリリード手段と、

請求項4記載のメモリライト手段及びメモリリード手段とを具備したことを特徴とするデジタルスチルカメラのメモリ制御回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、静止画像をデジタル圧縮画像データに変換して記録メディア等に記録する機能を持ったデジタルスチルカメラにおいて、圧縮処理などに必要なフレームメモリ容量の削減を図ったデジタルスチルカメラのメモリ制御回路に関するものである。

【0002】

【従来の技術】画像圧縮技術を応用したデジタルスチルカメラ(以下DSC)においては、電荷結合素子(以下CCD)等のイメージセンサ及び信号処理回路(DSP)から得られたデジタル画像データをDRAM等のメモリに一度バッファリングし、その後JPEG等の画像圧縮処理プロセスを経て、内部不揮発性メモリや、リムーバブルな記録メディア等に保存・記録する方式が一般的にとられている。

【0003】図9は、従来のデジタルスチルカメラにおける圧縮処理を行うメモリ制御回路を示すブロック図である。

【0004】図9において、CCD等のイメージセンサを有するカメラ部1からの撮像信号は、カメラ信号処理部2で信号処理されてデジタル映像信号として出力され、メモリ制御部3の制御に基づいてメモリ4に一旦記憶される。メモリ4としては、DRAMなどが用いられる。その後、メモリ4から再び読み出して圧縮伸長処理部5でJPEG等の圧縮処理を行い、記録メディア6に記録されるようになっている。

【0005】例としてJPEG圧縮方式の場合を考えると、圧縮伸長処理部5へのデータ入力形式は、通常ブロックインターリーブで行う必要があるため、圧縮伸長処理部5の前段でラスター/ブロック変換とよばれる、縦順次データから8×8ピクセルブロックデータ形式への変換処理が行われる。

【0006】もし、JPEG圧縮伸長処理部5が、映像信号データ送出レート以上の処理速度を有している場合、いわゆるリアルタイム圧縮が可能となり、この場合にはメモリ4の容量はラスター/ブロック変換のための最小限のメモリ容量である、8水平ライン分の容量があればよいことになる。

【0007】しかしながら、DSCという用途を考えると、特にリアルタイム性が要求されることは少なく、む

(3)

特開平10-210501

3

しる回路速度の抑制による低消費電力化や回路規模の削減という観点から、JPEG圧縮（伸長）処理速度は、映像信号データレートに対し、数分の1以下であることが多い。

【0008】このような場合、映像信号は1画面（フレームまたはフィールド）単位で一度メモリ4にキャプチャしておき、圧縮処理速度に合わせてデータを逐次ブロックデータに変換しながら、読み出してやる必要があるため、メモリ4としては1画面分のフレームメモリが必要となる。

【0009】特に、メモリ4は、フレームメモリ容量があれば、キャプチャした静止画像を本体液晶モニタなど表示するための表示用バッファメモリとしても兼用できるので、一般的なDSCにおいては、扱う画素サイズに応じたフレームメモリ容量を持つDRAMが搭載されている。

【0010】さて、各プロセス回路間のデータインターフェースにおいては、処理の容易性やバス幅低減の観点から、Y（輝度信号）、U（色差：B-Y信号）、V（色差：R-Y信号）の、いわゆるY／色差信号の形態でデジタルデータが扱われることが多い。

【0011】一方、最近では、パソコンとの、親和性や画質重視という面から、イメージセンサとして、640（水平）×480（垂直）の有効画素数を持つ、いわゆるVGA正方画素構成のセンサが搭載されたDSCが主流になりつつある。

【0012】このようなVGAイメージセンサを搭載したDSCにおいては、内部Y、U、Vデータのサンプリング比率として、いわゆる4：2：2（即ち2：1：1）のデータ形式がとられているが、従来はカメラ信号処理部（YUV出力部）2から、圧縮伸長処理部5に至るまで、このサンプリング比率は維持されたまま処理されていた。

【0013】これは、JPEG圧縮方式においても、4：2：2（即ち2：1：1）のデータ形式が一般的であり、記録メディア6に記録された圧縮画像ファイルとパソコン上での画像ビューソフトウェアの互換性などに関する問題点を回避する意味も含んでいる。

【0014】従って、例えばDRAMで構成される前記メモリ4も4：2：2（即ち2：1：1）の比率自体は変えず、DSCにおいて扱う画素数（サイズ）に応じてその容量を選択していた。

【0015】ところで、4：2：2（即ち2：1：1）の場合、1枚のVGA（Video Graphics Array）サイズ画像データを圧縮処理するために必要となるフレームメモリの容量は、 $640 \times 480 \times 2 \times 8 [\text{bit}] = 4.9 [\text{Mbit}]$ となるが、一般的なDRAM容量は、4Mbitを超えると16Mbit品になってしまうため、このような場合は必然的に4Mbit品を2個使用する（図7の符号4A、4Bにて示す）ことになり、コストの増大を招

4

いていた。

【0016】

【発明が解決しようとする課題】上記のごとく、4：2：2（即ち2：1：1）の場合、1枚のVGAサイズ画像データを圧縮処理するために必要となるフレームメモリの容量は、4.9Mbitとなり、4Mbit品を2個使用することになり、コストの増大を招いていた。そこで、本発明は上記の問題に鑑み、フレームメモリの容量を削減でき、コスト的にも有利なデジタルスチルカメラのメモリ制御回路を提供することを目的とするものである。

【0017】

【課題を解決するための手段】請求項1記載の発明は、画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、メモリと、圧縮前又は伸長後のデジタル画像データを間引きしながら前記メモリに記憶するメモリライト手段と、前記メモリに記憶したデジタル画像データを、前記間引き量を補間しながら前記メモリから読み出し、圧縮伸長処理部又は表示装置に送出するメモリリード手段とを具備したことを特徴とする。

【0018】請求項1の発明において、メモリは、カメラ信号処理部からのデジタル画像データを一旦記憶し、圧縮伸長処理部にて圧縮処理する動作速度に合わせるために必要である一方、記録メディアから読み出した圧縮データを圧縮伸長処理部にて伸長したものを記憶し、表示用処理を施して表示装置に供給するために必要とされる。一方、圧縮伸長処理部は、圧縮するためのデータ形式が一般的に決まっており、また、表示装置にはVGAで規定されるような表示ドット数がある。そこで、本発明において、メモリライト手段の制御により、デジタル画像データは間引いてメモリに記憶し、その後圧縮処理或いは表示処理するためにメモリから読み出すときは、メモリリード手段の制御により、前記の間引いた分を補間しながら読み出すようにして、メモリ容量の削減を実現した。

【0019】請求項2記載の発明は、画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、メモリと、圧縮前又は伸長後の輝度信号及び色差信号からなるデジタル画像データのうち、輝度信号はそのままで色差信号のみを間引きしながら前記メモリに記憶するメモリライト手段と、前記メモリに記憶したデジタル画像データのうち、前記色差信号のみを前記間引き量を補間しながら前記メモリから読み出し、圧縮伸長処理部又は表示装置に送出するメモリリード手段とを具備したことを特徴とする。

【0020】請求項2の発明において、メモリに画像データを記憶する際には、輝度信号はそのままで色差信号のみを間引きしながら記憶する。これは、輝度信号に比べて色差信号の帯域が比較的低いので、色差信号を削減しても、視覚上の解像度低下や違和感をほとんど感じ

(4)

特開平10-210501

6

5

せることがない。

【0021】請求項3記載の発明は、画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、フレームメモリと、圧縮時において、カメラ信号処理部から出力された4:2:2サンプリングのY、U、Vデータのうち、Yデータはそのままで色差信号(U、V)のみを1/2ダウンサンプリングしながら、前記フレームメモリに4:1:1形式で書き込むメモリライト手段と、ラスタ/ブロック変換を行う際に、色差信号(U、V)のみをアップサンプリングしながら前記フレームメモリからデータを読み出し、圧縮伸長処理部に対し、見掛け上、4:2:2形式のデータ数に合致したサンプリングデータを送るメモリリード手段とを具備したことを特徴とする。

【0022】請求項4記載の発明は、画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、フレームメモリと、伸長時には、圧縮伸長処理部でデコンプレッションされた、4:2:2サンプリング形式のY、U、Vデータからなる圧縮画像データを、ブロック/ラスタ変換と同時に、Yデータはそのままで色差信号(U、V)のみを1/2ダウンサンプリングしながら、前記フレームメモリに4:1:1形式で書き込むメモリライト手段と、前記フレームメモリの読み出し時に、色差信号(U、V)のみをアップサンプリングしながら前記フレームメモリからデータを読み出し、表示装置に対し、見掛け上、4:2:2形式のデータ数に合致したサンプリングデータを送るメモリリード手段とを具備したことを特徴とする。

【0023】請求項5記載の発明は、画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、請求項3記載のメモリライト手段及びメモリリード手段と、請求項4記載のメモリライト手段及びメモリリード手段とを具備したことを特徴とする。

【0024】請求項3～5の発明においては、圧縮時又は伸長時に、カメラ信号処理部又は圧縮伸長処理部から出力された4:2:2サンプリングのY、U、Vデータにおいて、Yデータはそのままで色差信号(U、V)のみをダウンサンプリング(データ間引き)しながらDRAM等のフレームメモリに4:1:1形式で書き込み、フレームメモリ読み出し時には、色差信号(U、V)のみをアップサンプリング(補間(2度読みを含む))することで、見掛け上、JPEG等の圧縮伸長処理部又は表示装置へ4:2:2サンプリング同等データを送るようなメモリ制御手段(メモリライト手段及びメモリリード手段)を有するデジタルスチルカメラを提供するものである。

【0025】メモリ部以外の回路部でのデータ処理は、一般的な4:2:2配列データとして処理し、DRAM等のフレームメモリへの書き込みフォーマットのみを4:1:1に対応させるので、例えばVGAサイズのイメ

ジセンサの場合のメモリへの画像データ量は、 $640 \times 480 \times 1.5 \times 8 = 3.69 \text{ Mbit}$ となり、4 MbitのDRAM容量を下回ることになるから、4 Mbit DRAMを1個だけ使えばよく、また人間の視覚上の特性から、Y(輝度信号)にくらべ比較的帯域が狭い色情報(色差信号)のみを削減するので、視覚上の解像度低下や違和感をほとんど感じずに、VGAサイズの画像データを扱うことが可能となる。

【0026】また、内蔵不揮発性メモリなどの記録メディアに記録される圧縮後のデータとしては、一般的な4:2:2フォーマットになるから、ファイルとしての汎用性及び互換性は保たれ、パソコン上でのアプリケーションソフト(画像ビューワ等)への依存性を最小限に抑えることができる。

【0027】

【発明の実施の形態】発明の実施の形態について図面を参照して説明する。図1は本発明の一実施の形態のデジタルスチルカメラの構成を示すブロック図である。図9と同一機能を有する部分には同一符号を付して説明する。

【0028】図1において、CCD等のイメージセンサを有するカメラ部1からの撮像信号は、カメラ信号処理部2で信号処理されてデジタル映像信号として出力され、メモリ制御部30の制御に基づいてメモリ4Aに一旦記憶する。メモリ書き込み時は、メモリ制御部30は、輝度信号Y及び色差信号(U、V)からなるデジタル画像データのうち、輝度信号Yはそのままで色差信号(U、V)のみを間引きしながらメモリ4Aに画像データの1フレーム分を記憶する。その後、メモリ4Aから再び読み出して圧縮伸長処理部5に供給する。メモリ読み出し時は、メモリ4Aに記憶したデジタル画像データのうち、前記色差信号(U、V)のみを、前記間引き量を補間しながら前記メモリ4Aから読み出して、圧縮伸長処理部5に供給する。

【0029】圧縮伸長処理部5では、補間しながら読み出された画像データに対してJPEG等の圧縮処理を行い、デジタル画像圧縮データとして記録メディア6に出力する。記録メディア6には、デジタル画像圧縮データが記録される。記録メディア6としては、内蔵の不揮発性メモリのほか、リムーバブルなディスクなどが用いられる。

【0030】また、記録メディア6から読み出して表示装置7に表示するときには、記録メディア6に記録した画像圧縮データを、圧縮伸長処理部5で伸長した後、メモリ制御部30の制御に基づいてメモリ4Aに一旦記憶する。メモリ書き込み時は、メモリ制御部30は、輝度信号Y及び色差信号(U、V)からなるデジタル画像データのうち、輝度信号Yはそのままで色差信号(U、V)のみを間引きしながらメモリ4Aに画像データの1フレーム分を記憶する。その後、メモリ4Aから再び読み出

(5)

特開平10-210501

7

して表示装置7に表示する。メモリ読出し時は、メモリ4Aに記憶したデジタル画像データのうち、前記色差信号(U, V)のみを前記間引き量を補間しながら前記メモリ4Aから読み出して、表示装置7に供給する。

【0031】なお、以上の説明における補間には、デジタル画像データ(サンプリングデータ)を2度読みすることによって補間する方法も含まれる。

【0032】図2は図1のデジタルステレオカメラにおける圧縮処理を示すブロック図である。

【0033】図2において、矩形破線で囲んだ部分が、圧縮処理に伴うメモリ制御部30の機能ブロックを示している。図中、実線矢印が画像データの流れを示している。

【0034】メモリ制御部30への映像信号は、Y(輝度)8bit、U/V(色差)8bitの計16bitとし、Y:U:Vとしてのデータ転送レート比率はいわゆる4:2:2(即ち2:1:1)を想定する。また、1水平期間のデータ転送数を16bit×780個、すなわち1水平期間(1H)を780fH(fHは水平周波数)とし、かつ前記画像データのうち有効画素数(イメージサイズ)を、水平(画素数)640、垂直(ライン数)480のVGAサイズであると仮定して以後の説明を行う。

【0035】さらに、アクセスするメモリとしては、1ワード(16bit)幅×256K=4,096MbitのDRAM(通称4Mbit品)を想定し、処理速度を考慮したモード(例えばファーストページモード)で使用することを考える。

【0036】図3は圧縮時における画像データタイミングを示す図である。図3(a)はカメラ信号処理部2からメモリ制御部30への画像データタイミングを示し、図3(b)はメモリ制御部30からメモリ4Aへの画像データタイミングを示す。

【0037】まず、圧縮時においては、CCDなどの撮像素子から得られた映像信号は、A/D変換処理等を含むカメラ信号処理部2を経て、本発明の特徴部分であるメモリ制御部30に入力される。

【0038】画像データのシーケンスとしては、図3のようになるが、ここでは考えやすいように4ワード分を1つの単位として便宜上区切って説明することにする。

【0039】図3(a)には、メモリ制御部30への画像データ転送における、780fHクロック(=12.27MHz)とともに、転送される画像データとしてYデータ(8bit)及びUVデータ(8bit)が示されている。

【0040】まず、Yデータのうちで、Y0データは、メモリ制御部30内の1クロック遅延ラッチ回路を経て、次のY1データ入力とともに1ワード(16bit)データとしてバイトワード変換されて、同図W1のタイミングでDRAM等のメモリ4Aに書き込まれる。

8

【0041】一方、色差パス側も同様に、U0データとV0データがバイトワード変換され、それぞれメモリ制御部30内の2クロック遅延ラッチ回路、1クロック遅延ラッチ回路を経て、W2のタイミングでDRAMに書き込まれる。

【0042】なお、ここでは仮にY0(U0)を下位バイト、Y1(V0)を上位バイトにしているが、本発明ではこの上位・下位順序や、またメモリ4Aへの書き込みアドレス等を限定するものではないことは言うまでもない。

【0043】次に、Y2、Y3データが同様にW3のタイミングでワードデータとしてメモリ4Aに書き込まれる。

【0044】すなわち、注目している4ワード分の転送単位において、メモリ4Aに書き込まれるのは、Y0～Y3および、U0、V0の3ワードとなる。即ち、U1、V1データは間引かれることになる。

【0045】もちろん、次の4ワード単位においても同様のシーケンスが繰り返され、1ライン分の有効画素データ転送(640ワード)分のうち、実際にメモリ4Aに書き込まれるのは、Yデータが320ワード、U/Vデータが160ワードで、計480ワードとなる。

【0046】メモリ4AとしてDRAMを用いた場合には、DRAMの1ページは512ワードであるので、1ライン(1H)分の画像データが1ページ内に納まることになり、アドレス制御回路も比較的簡単にできるというメリットもある。

【0047】このようにして、さらに次のラインデータが次ページに書き込まれていき、最終的に垂直480ライン分のデータが、480ページに書き込まれるから、全体のY:U:Vのデータ数比率で示せば4:1:1となる。

【0048】図4は、メモリ4AであるDRAMへの4:1:1形式データマッピングの一例を示している。

【0049】図4(a)に全体のメモリエリアを、図4(b)に1ライン分のデータが書き込まれた様子の一例を示すが、前述のようにアドレッシングについて本発明は全く限定されない。

【0050】このようにしてVGA(640×480)サイズの4:2:2データのうち、Yデータは間引きされことなく全てのデータがDRAMに書き込まれ、色差信号(U, V)はそれぞれ1/2ダウンサンプリング(データ間引き)されて、4:1:1比率でDRAM上にメモリマッピングされることになる。図4(b)では、1ライン分のデータ、つまりDRAMの1ページ内にマッピングされるデータの配列状態が示されている。Yデータについては、Y0、Y1、Y2、Y3、…とそのままだ記憶されるが、U、Vデータについては、U0、V0、U2、V2、…と記憶され、U1、V1、U3、V3、…は間引かれることになる。

(6)

特開平10-210501

9

10

【0051】次に、圧縮伸長処理部5へデータを送出することになるが、仮に圧縮アルゴリズムを公知のJPEG圧縮方式とすればデータ送出形式としては、 8×8 ピクセル単位のブロックインターリーブデータとしてやる必要がある。

【0052】JPEG圧縮ファイルとしては、 $4:1:1$ や $4:2:0$ 、 $4:2:2$ などの色空間サンプリング形式があるが、そのなかでも $4:2:2$ 形式ファイルが一般的であり、画像ビューワ（ソフトウェア圧縮・伸長）アプリケーションソフトにおいてもほとんどのソフトが $4:2:2$ 形式データに対応している。

【0053】したがって、JPEG圧縮伸長処理部5に対しては $4:2:2$ 形式のデータとして転送したほうが汎用性が増すと考えられる。

【0054】ところが、本システムにおいては、データがDRAMに書き込まれた時点で $4:1:1$ になっているので、色差情報（ U/V ）だけを2度読みまたは、前後データから演算した補間データを加えて、見かけ上、疑似 $4:2:2$ データ形式として圧縮伸長処理部5に渡す必要がある。

【0055】図5は圧縮時のブロックインターリーブデータ転送タイミングを示す図である。

【0056】転送バス幅を1バイト（8bit）とし、ブロックインターリーブでのデータ転送（ $1MCU=4$ ブロックとした疑似 $4:2:2$ （疑似 $2:1:1$ ）の様子を示したものである。ここでは、簡単のため、2度読みによるアップサンプリングを示すが、演算方式による補間方法でも勿論かまわない。すなわち、最初のブロックB1では $Y0(B1) \sim Y63(B1)$ のデータがDRAM4Aから読み出され、次のブロックB2では $Y0(B2) \sim Y63(B2)$ のデータが読み出される。

【0057】次に、色差データが1バイトおきに2度読み出され、 $U0(B1,B2)$ 、 $U0(B1,B2)$ 、 $U2(B1,B2)$ 、 $U2(B1,B2)$ 、…… $U62(B1,B2)$ 、 $U62(B1,B2)$ 、及び $V0(B1,B2)$ 、 $V0(B1,B2)$ 、 $V2(B1,B2)$ 、 $V2(B1,B2)$ 、…… $V62(B1,B2)$ 、 $V62(B1,B2)$ と、Uブロック、Vブロックの順で読み出される。（以上 $1MCU=4$ ブロック単位）以後次のMCU単位での処理が連続的に行われる。

【0058】このようにして疑似 $4:2:2$ （疑似 $2:1:1$ ）で圧縮処理させることで、見かけ上は $4:2:2$ データの圧縮コードが圧縮伸長処理部5に出されることになる。

【0059】図6は伸長時のブロックインターリーブデータ転送タイミングを示す図である。

【0060】伸長時の動作は、圧縮時と全く反対となり、圧縮伸長処理部5（この場合は伸長動作をしている）からメモリ制御部30に出された $4:2:2$ 形式のブロックデータは図6のようになるが、DRAM4Aに書き込む場合は $4:1:1$ 形式で保存しなければならないから、 $U0 \sim U63$ 及び $V0 \sim V63$ のブロックデータを1、50

バイトずつ間引いてDRAM4Aに書き込む必要がある。もちろん、DRAM4A上に保存された Y 、 U データは、前述の図4とまったく同じマッピングが行われることは言うまでもない。

【0061】図7は図1のデジタルスチルカメラにおける伸長処理を示すブロック図である。

【0062】図7において、矩形破線で囲んだ部分が、伸長処理に伴うメモリ制御部30の機能ブロックを示している。図中、実線矢印が画像データの流れを示している。

【0063】圧縮伸長処理部5からメモリ制御部30への画像データは、 Y （輝度）8bit、 U/V （色差）8bitの計16bitとし、 $Y:U:V$ としてのデータ転送レート比率はいわゆる $4:2:2$ （即ち $2:1:1$ ）である。

【0064】メモリ制御部30からメモリ4Aへは、画像データのうちの色差データが間引かれ、 $Y:U:V$ としてのデータ転送レート比率は $4:1:1$ である。また、メモリ4Aからメモリ制御部30へは、同様にデータ転送レート比率は $4:1:1$ である。

【0065】そして、メモリ4Aからの画像データをメモリ制御部30を通すことによって前記間引き量が補間されて、 $Y:U:V=4:2:2$ のデータ転送レート比率で表示装置7に送出される。

【0066】図8は伸長時における画像データタイミングを示す図である。図8(a)はメモリ4Aからメモリ制御部30を通して読み出される画像データタイミングを示し、図8(b)はメモリ制御部30から表示装置7への画像データタイミングを示す。

【0067】まず、伸長時においては、記録メディア6から得られた圧縮画像データは、A圧縮伸長処理部5を経て、本発明の特徴部分であるメモリ制御部30に入力される。

【0068】画像データのシーケンスとしては、図8のように（図3の圧縮時の場合と同様に）なるが、例えば4ワード分を1つの単位として便宜上区切って説明することにする。

【0069】記録メディア6からの圧縮画像データを圧縮伸長処理部5で伸長したデータが、メモリ制御部30を通してメモリ4Aへ供給される。メモリ制御部5からメモリ4Aに対しては、メモリアイト手段の制御により、画像データのうちの、輝度データ Y はそのままで色差データ（ U 、 V ）のみが間引かれてメモリ4Aに記憶される。

【0070】そして、画像表示を行う場合には、図8(a)に示すように、圧縮時のメモリ書き込み時とまったく逆に、メモリ4A内のデータが、メモリ制御部30内のメモリアイト手段の制御により、 $Y0$ 、 $Y1$ 及び $U0$ 、 $V0$ がワード・バイト変換され、それぞれ Y 8bit、 U 、 V 8bitとなって読み出される。次に、メモリ

(7)

特開平10-210501

11

12

4AからY2、Y3データ読み出し後に、メモリリード手段の制御により、色差信号については再度U0、V0データが読み出され、ワードバイト交換されて、読み出される。その後、メモリ制御部30から表示装置7に対して、メモリ制御部30内の2クロック遅延ラッチ回路、及び1クロック遅延ラッチ回路を用いて、図8(b)のように変換されて出力される。このようにして、メモリ4Aに色差データ(U、V)が間引かれた状態で記憶された画像データが、間引き量分補間されて表示装置7へ出力されるので、表示装置7としては見かけ上、4:2:2データとして扱い、表示することができる。

【0071】以上述べたように、本発明の実施の形態によれば、例えば圧縮時には、カメラ信号処理部2から出力された4:2:2サンプリングのY、U、Vデータにおいて、Yデータはそのままで色差信号(U、V)のみをダウンサンプリング(データ間引き)しながらDRAM等のフレームメモリ4Aに4:1:1形式で書き込み、DRAM読み出し時には、色差信号(U、V)のみをアップサンプリング(補間または2度読み)することで、見かけ上、JPEG等の圧縮伸長処理部5へ4:2:2サンプリング同等データを送るようなメモリ制御部30が実現できるから、例えばVGAサイズのイメージセンサの場合のメモリ4Aへの画像データ量は、 $640 \times 480 \times 1.5 \times 8 = 3.69 \text{ Mbit}$ となり、4 MbitのDRAMの容量を下回ることになるため、メモリ4Aとして4 MbitのDRAMを1個だけ使えばよく、また人間の視覚上の特性から、Y(輝度信号)にくらべ比較的帯域が狭い色情報のデータのみを削減するので、視覚上の解像度低下や違和感をほとんど感じずに、VGAサイズの画像データを扱うことが可能となる。

【0072】また、内蔵不揮発性メモリやディスクなどの記録メディア6に記録される圧縮データとしては、一般的な4:2:2フォーマットになるから、ファイルとしての汎用性及び互換性は保たれ、パソコン上でのアプリケーションソフト(画像ビューワ等)への依存性を最小限に抑えることができる。

*【0073】

【発明の効果】以上述べたように本発明によれば、画像圧縮伸長処理機能を有するデジタルスチルカメラにおいて、カメラ信号処理部或いは圧縮伸長処理部からのデジタル画像データを間引いてメモリに記憶し、その後圧縮処理或いは表示処理するためにメモリから読み出すときは、前記の間引いた分を補間しながら読み出すことにより、メモリ容量を削減することができ、コスト的にも有利なデジタルスチルカメラを実現できる。

10 【図面の簡単な説明】

【図1】本発明の一実施の形態のデジタルスチルカメラを示すブロック図。

【図2】図1のデジタルスチルカメラにおける圧縮処理を示すブロック図。

【図3】圧縮時における各部の画像データタイミングを示す図。

【図4】DRAMへの4:1:1形式のデータマッピングの一例を示す図。

20 【図5】圧縮時のブロックインターリーブデータ転送タイミングを示す図。

【図6】伸長時のブロックインターリーブデータ転送タイミングを示す図。

【図7】図1のデジタルスチルカメラにおける伸長処理を示すブロック図。

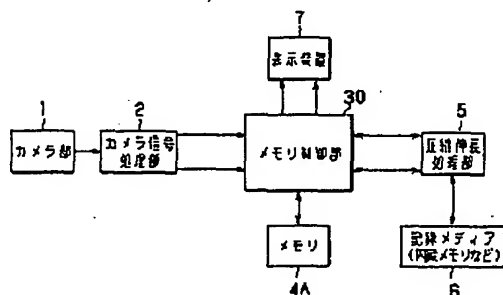
【図8】伸長時における各部の画像データタイミングを示す図。

【図9】従来のデジタルスチルカメラの圧縮処理におけるブロック図。

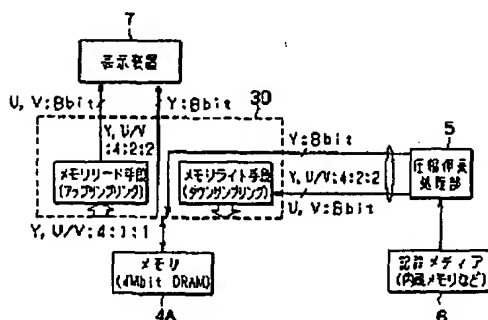
【符号の説明】

- 30 1…カメラ部
2…カメラ信号制御部
4A…メモリ
5…圧縮伸長処理部
6…記録メディア
7…表示装置
30 30…メモリ制御部

【図1】



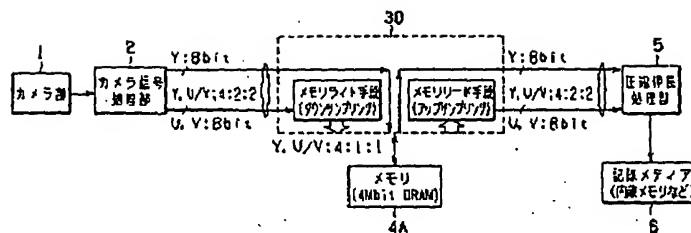
【図7】



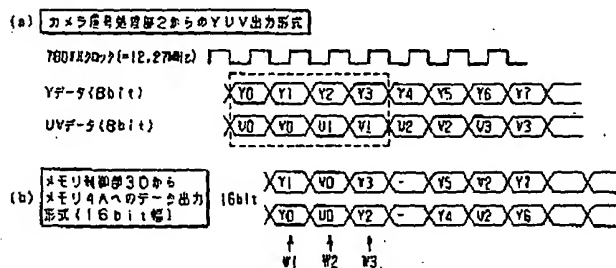
(8)

特開平10-210501

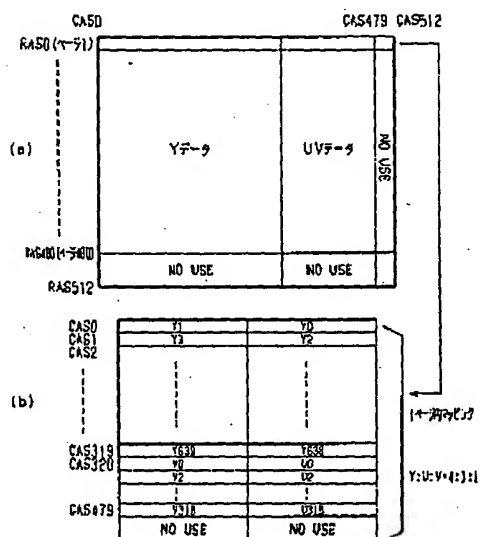
【図2】



【図3】



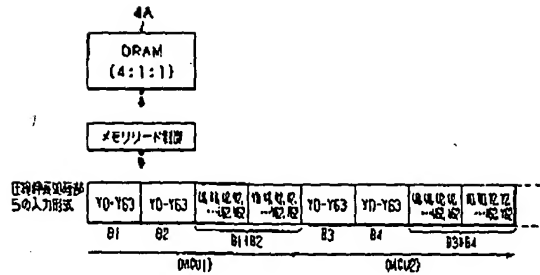
【図4】



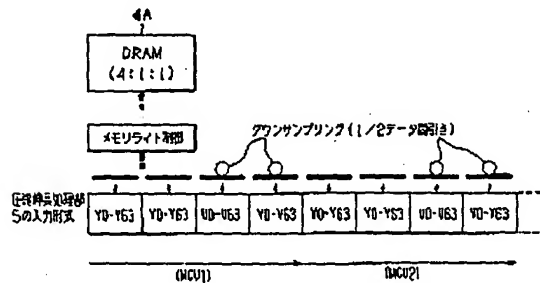
(9)

特開平10-210501

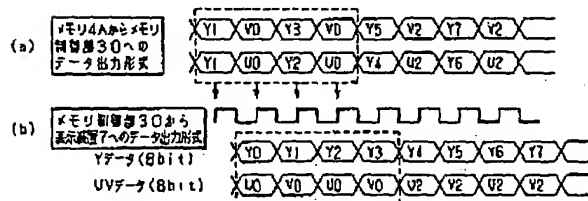
【圖5】



【図6】



【圖8】



【圖9】

